



Exp. 2811

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Tetsuya AKIMOTO, et al.

Appln. No.: 09/347,409

Group Art Unit: 2811

Filed: July 6, 1999

Examiner: Unknown

For: METHOD AND COMPUTER SOFTWARE PRODUCT FOR CALCULATING A NUMERICAL
VALUE REPRESENTATIVE OF A PROPERTY OF A CIRCUIT

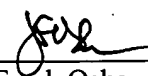
SUBMISSION OF PRIORITY DOCUMENT

Assistant Commissioner for Patents
Washington, D.C. 20231

Sir:

Submitted herewith is a certified copy of the priority document on which a claim to priority was
made under 35 U.S.C. § 119. The Examiner is respectfully requested to acknowledge receipt of said
priority document.

Respectfully submitted,


J. Frank Osha
Registration No. 24, 625

SUGHRUE, MION, ZINN,
MACPEAK & SEAS, PLLC
2100 Pennsylvania Avenue, N.W.
Washington, D.C. 20037-3212
Telephone: (202) 293-7060
Facsimile: (202) 293-7860

Enclosures: Japanese 190685/98

Date: AUG 24 1999

RECEIVED
AUG 31 1999 NOV 29 1999
OIFE/JCWS2700 MAIL ROOM
RECEIVED
SEP - 1 1999
TC 2800 MAIL ROOM



日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

T. AKimoto et al
09/347,409
filed July 6, 1999
Q55026
10f1

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application:

1998年 7月 6日

出願番号
Application Number:

平成10年特許願第190685号

出願人
Applicant(s):

日本電気株式会社

RECEIVED
SEP 29 1999
TC 2100 MAIL ROOM

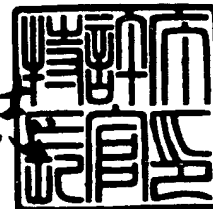
CERTIFIED COPY OF
PRIORITY DOCUMENT

RECEIVED
SEP - 1 1999
TC 2800 MAIL ROOM

1999年 3月 5日

特許庁長官
Commissioner,
Patent Office

山佐 建



【書類名】 特許願

【整理番号】 74210218

【提出日】 平成10年 7月 6日

【あて先】 特許庁長官殿

【国際特許分類】 G01R 31/28

【発明の名称】 遅延計算方法及び遅延値計算プログラムを記録した記録媒体

【請求項の数】 10

【発明者】

 【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

 【氏名】 秋本 哲也

【発明者】

 【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

 【氏名】 平田 守央

【特許出願人】

 【識別番号】 000004237

 【氏名又は名称】 日本電気株式会社

【代理人】

 【識別番号】 100071272

 【弁理士】

 【氏名又は名称】 後藤 洋介

【選任した代理人】

 【識別番号】 100077838

 【弁理士】

 【氏名又は名称】 池田 憲保

【選任した代理人】

 【識別番号】 100058413

 【弁理士】

 【氏名又は名称】 芦田 坦

【手数料の表示】

【予納台帳番号】 012416

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9001569

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 遅延計算方法及び遅延値計算プログラムを記録した記録媒体

【特許請求の範囲】

【請求項 1】 論理レベル回路を構成する論理ブロック毎に求められる特性値である論理ブロック特性値を基に、コンピュータを用いて前記論理レベル回路全体の特性値である論理レベル回路特性値を計算する特性値計算方法において、

論理ブロックを構成する一部のトランジスタについての特性値を前記論理ブロック特性値とみなす論理ブロック特性値計算段階と、

前記論理ブロック特性値から前記論理レベル回路特性値を計算する段階とを含むことを特徴とする特性値計算方法。

【請求項 2】 請求項 1 記載の特性値計算方法において、前記論理ブロック特性値計算段階は、該論理ブロックの入力及び出力ピンに繋がったトランジスタについての特性値を前記論理ブロック特性値とみなすことを特徴とする特性値計算方法。

【請求項 3】 入力ピン及び出力ピンを備える論理ブロックの前記入出力ピン間の遅延値であるピン間遅延値と、当該論理ブロックの出力ピンに接続された当該他の論理ブロックまでの遅延値である配線遅延値を、メモリに格納して当該データを CPU で処理し、ホットキャリア効果に起因する経年変化を考慮して計算する遅延計算方法において、

ホットキャリア効果に起因する経年変化を考慮しないで前記ピン間遅延値及び配線遅延値を計算する第 1 の遅延値計算段階と、

前記入出力ピン及び出力ピンに接続されたトランジスタの遅延劣化量を計算する遅延劣化量計算段階と、

前記第 1 の遅延値計算段階で計算された前記ピン間遅延値及び配線遅延値を、前記遅延劣化量計算段階で計算された遅延劣化量で修正する第 2 の遅延値計算段階と

を含むことを特徴とする遅延計算方法。

【請求項 4】 ホットキャリア効果に起因する経年変化を考慮して、入力ピン及び出力ピンを備える論理ブロックの前記入出力ピン間の遅延値であるピン間

遅延値 T_{iopath_aged} と、当該論理ブロックの出力ピンに接続された当該他の論理ブロックまでの遅延値である配線遅延値 $T_{connect_aged}$ をコンピュータを用いて計算する遅延計算方法において、

ピンに繋がれたトランジスタの負荷容量を C [pF]、ピンの入力波形なまりに依存する定数を α 、 β 、ピンに繋がれたトランジスタのチャネル幅を W [μm] として、入力ピンのストレス量 S_{in} 及び出力ピンのストレス量 S_{out} を、次の式 1

【数 1】

$$S = \alpha \left(\frac{C}{W} \right)^\beta \quad \cdots \text{式 1}$$

により求めてメモリに記憶する段階と、

ピンの物理構造に依存する定数を γ 、LSI の保証期間を τ [hour]、プロセスに依存する定数を ε_1 、 ε_2 、及び κ 、ピンの動作周波数を f_{in} [Hz]、絶対温度を T [K] として、入力ピンの遅延劣化量 δ_{in} [%] 及び出力ピンの遅延劣化量 δ_{out} [%] を、次の式 2

【数 2】

$$\delta = \gamma \times \left(\frac{\tau \times S \times f}{\varepsilon_1 \times e^{\kappa \times T}} \right)^{\frac{1}{\varepsilon_2}} \quad \cdots \text{式 2}$$

により求めてメモリに記憶する段階と、

ホットキャリア効果に起因する経年変化を考慮しない遅延計算方法により求めたピン間遅延値及び配線遅延値を T_{iopath_fresh} [ps]、 $T_{connect_fresh}$ [ps]、入力ピンから出力ピンまでの全遅延のうち入力段及び出力段が占める割合を λ_{in} 及び λ_{out} として、前記ピン間遅延値 T_{iopath_aged} 及び配線遅延値 $T_{connect_aged}$ を、次の式 3

【数 3】

$$T_{iopath_aged} = T_{iopath_fresh} \times \{1 + (\lambda_{in} \times \delta_{in} + \lambda_{out} \times \delta_{out})\} \cdots \text{式3}$$

及び次の式4

【数4】

$$T_{connect_aged} = T_{connect_fresh} \times \{1 + (\lambda_{out} \times \delta_{out})\} \cdots \text{式4}$$

により求める段階と

を含むことを特徴とする遅延計算方法。

【請求項5】 ホットキャリア効果に起因する経年変化を考慮して、複数の論理ブロックにより構成される論理レベル回路の遅延値を計算する遅延計算方法において、

請求項3及び4のいずれかに記載の遅延計算方法により、前記論理レベル回路を構成する全ての前記論理ブロックの遅延値を計算する段階と、

全ての前記論理ブロックの遅延値から論理レベル回路の遅延値を求める段階と

を含むことを特徴とする遅延計算方法。

【請求項6】 論理レベル回路を構成する論理ブロック毎に求められる特性値である論理ブロック特性値を基に、前記論理レベル回路全体の特性値である論理レベル回路特性値を計算する特性値計算プログラムを記録したコンピュータ読み取り可能な記録媒体において、

論理ブロックを構成する一部のトランジスタについての特性値を前記論理ブロック特性値とみなす論理ブロック特性値計算処理と、

前記論理ブロック特性値から前記論理レベル回路特性値を計算する処理とをコンピュータに実行させることを特徴とする特性値計算プログラムを記録した記録媒体。

【請求項7】 請求項6記載の特性値計算プログラムを記録した記録媒体において、前記論理ブロック特性値計算処理は、該論理ブロックの入力及び出力ピ

ンに繋がったトランジスタについての特性値を前記論理ブロック特性値とみなすことを特徴とする特性値計算プログラムを記録した記録媒体。

【請求項 8】 入力ピン及び出力ピンを備える論理ブロックの前記入出力ピン間の遅延値であるピン間遅延値と、当該論理ブロックの出力ピンに接続された当該他の論理ブロックまでの遅延値である配線遅延値を、ホットキャリア効果に起因する経年変化を考慮して計算する遅延計算プログラムを記録したコンピュータ読み取り可能な記録媒体において、

ホットキャリア効果に起因する経年変化を考慮しないで前記ピン間遅延値及び配線遅延値を計算する第 1 の遅延値計算処理と、

前記入出力ピン及び出力ピンに接続されたトランジスタの遅延劣化量を計算する遅延劣化量計算処理と、

前記第 1 の遅延値計算処理で計算された前記ピン間遅延値及び配線遅延値を、前記遅延劣化量計算段階で計算された遅延劣化量で修正する第 2 の遅延値計算処理と

をコンピュータに実行させることを特徴とする特性値計算プログラムを記録した記録媒体。

【請求項 9】 ホットキャリア効果に起因する経年変化を考慮して、入力ピン及び出力ピンを備える論理ブロックの前記入出力ピン間の遅延値であるピン間遅延値 T_{iopath_aged} と、当該論理ブロックの出力ピンに接続された当該他の論理ブロックまでの遅延値である配線遅延値 $T_{connect_aged}$ を計算する遅延計算プログラムを記録したコンピュータ読み取り可能な記録媒体において、

ピンに繋がれたトランジスタの負荷容量を C [pF]、ピンの入力波形なまりに依存する定数を α 、 β 、ピンに繋がれたトランジスタのチャネル幅を W [μm] として、入力ピンのストレス量 S_{in} 及び出力ピンのストレス量 S_{out} を、次の式 1

【数 5】

$$S = \alpha \left(\frac{C}{W} \right)^\beta \quad \cdots \text{式 1}$$

により求める処理と、

ピンの物理構造に依存する定数を γ 、LSIの保証期間を τ [hour]、プロセスに依存する定数を ε_1 、 ε_2 、及び κ 、ピンの動作周波数を f_{in} [Hz]、絶対温度を T [K] として、入力ピンの遅延劣化量 δ_{in} [%] 及び出力ピンの遅延劣化量 δ_{out} [%] を、次の式2

【数6】

$$\delta = \gamma \times \left(\frac{\tau \times S \times f}{\varepsilon_1 \times e^{\kappa \times T}} \right)^{\frac{1}{\varepsilon_2}} \quad \cdots \text{式2}$$

により求める処理と、

ホットキャリア効果に起因する経年変化を考慮しない遅延計算方法により求めたピン間遅延値及び配線遅延値を T_{iopath_fresh} [ps]、 $T_{connect_fresh}$ [ps]、入力ピンから出力ピンまでの全遅延のうち入力段及び出力段が占める割合を λ_{in} 及び λ_{out} として、前記ピン間遅延値 T_{iopath_aged} 及び配線遅延値 $T_{connect_aged}$ を、次の式3

【数7】

$$T_{iopath_aged} = T_{iopath_fresh} \times \{1 + (\lambda_{in} \times \delta_{in} + \lambda_{out} \times \delta_{out})\} \quad \cdots \text{式3}$$

及び次の式4

【数8】

$$T_{connect_aged} = T_{connect_fresh} \times \{1 + (\lambda_{out} \times \delta_{out})\} \quad \cdots \text{式4}$$

により求める処理と

をコンピュータに実行させることを特徴とする特性値計算プログラムを記録した記録媒体。

【請求項10】 ホットキャリア効果に起因する経年変化を考慮して、複数

の論理ブロックにより構成される論理レベル回路の遅延値を計算する遅延計算プログラムを記録したコンピュータ読み取り可能な記録媒体において、

請求項 8 及び 9 のいずれかに記載の遅延値計算プログラムにより、前記論理レベル回路を構成する全ての前記論理ブロックの遅延値を計算する処理と、

全ての前記論理ブロックの遅延値から論理レベル回路の遅延値を求める処理とをコンピュータに実行させることを特徴とする特性値計算プログラムを記録した記録媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体集積回路の設計に関し、特に、半導体集積回路における信頼性の検証に関する。

【0002】

【従来の技術】

MOS トランジスタの微細化に伴い、ホットエレクトロン効果に起因する遅延値の経年変化が無視できなくなっている。

【0003】

経年変化を考慮した遅延値の計算では、従来、論理ブロックの入力波形なまり・入力信号周波数等の論理レベル回路の計算から得られる入力ピン情報と、遅延劣化量を定める諸係数等の論理ブロック内部に関する情報からなる入力ピン素子情報とを用いて論理ブロックの遅延値の経年変化量を計算し、得られた結果を用いてネットの遅延計算を実行していた。

【0004】

図 6 は、遅延劣化量を考慮した論理レベル回路の遅延値を計算する従来の方法である遅延計算方法 600 を表す図である。論理ブロック毎に、入力ピン情報 602、経過年数情報 603 及び入力ピン素子情報 604 を基にして遅延劣化量計算 605 を実行する。この計算を論理レベル回路を構成する全論理ブロックに対して行った結果からネット遅延計算 606 を実行し、遅延計算結果 607 を得る。

【0005】

【発明が解決しようとする課題】

このように入力ピンに関する情報のみから論理レベル回路のネット遅延計算を行う従来の遅延計算方法では、トランジスタゲート一段構成のインバータブロック以外の論理ブロックでは、論理ブロックでの遅延計算を単純に論理レベル回路に適用すると精度が落ちてしまう。

【0006】

一方で、従来の遅延計算方法で精度を保つことも可能だが、このためには、前述のように論理ブロック毎に遅延劣化量を計算するのではなく、論理ブロック内をトランジスタゲートに分解し、各ゲートに対して波形なまりや動作周波数を計算した後に、遅延劣化量を計算しなければならない。即ち、論理レベル回路を構成する全トランジスタそれぞれに対して遅延劣化量の計算を実行する必要がある、従来の遅延計算方法では高い精度と少ない計算量の両立ができなかった。

【0007】

本発明が解決しようとする課題は、ホットエレクトロン効果による遅延値の経年変化を考慮した遅延計算において、少ない計算量で高い精度の遅延計算を行うことができる遅延計算方法及び遅延計算プログラムを記録した記録媒体を提供することである。

【0008】

【課題を解決するための手段】

上述の課題を解決するために、本発明は以下の方法及び記録媒体を提供する。

【0009】

即ち、本発明によれば、論理レベル回路を構成する論理ブロック毎に求められる特性値である論理ブロック特性値を基に、コンピュータを用いて前記論理レベル回路全体の特性値である論理レベル回路特性値を計算する特性値計算方法において、論理ブロックを構成する一部のトランジスタについての特性値を前記論理ブロック特性値とみなす論理ブロック特性値計算段階と、論理ブロック特性値から論理レベル回路特性値を計算する段階とを含むことを特徴とする特性値計算方法が得られる。

【0010】

また、本発明によれば、上記の特性値計算方法において、論理ブロック特性値計算段階は、該論理ブロックの入力及び出力ピンに繋がったトランジスタについての特性値を論理ブロック特性値とみなすことを特徴とする特性値計算方法が得られる。

【0011】

また、本発明によれば、入力ピン及び出力ピンを備える論理ブロックの前記入出力ピン間の遅延値であるピン間遅延値と、当該論理ブロックの出力ピンに接続された当該他の論理ブロックまでの遅延値である配線遅延値を、メモリに格納して当該データをCPUで処理し、ホットキャリア効果に起因する経年変化を考慮して計算する遅延計算方法において、ホットキャリア効果に起因する経年変化を考慮しないでピン間遅延値及び配線遅延値を計算する第1の遅延値計算段階と、入力ピン及び出力ピンに接続されたトランジスタの遅延劣化量を計算する遅延劣化量計算段階と、第1の遅延値計算段階で計算されたピン間遅延値及び配線遅延値を、遅延劣化量計算段階で計算された遅延劣化量で修正する第2の遅延値計算段階とを含むことを特徴とする遅延計算方法が得られる。

【0012】

また、本発明によれば、ホットキャリア効果に起因する経年変化を考慮して、入力ピン及び出力ピンを備える論理ブロックの入出力ピン間の遅延値であるピン間遅延値 T_{iopath_aged} と、当該論理ブロックの出力ピンに接続された当該他の論理ブロックまでの遅延値である配線遅延値 $T_{connect_aged}$ をコンピュータを用いて計算する遅延計算方法において、ピンに繋がれたトランジスタの負荷容量を $C[pF]$ 、ピンの入力波形なまりに依存する定数を α 、 β 、ピンに繋がれたトランジスタのチャネル幅を $W[\mu m]$ として、入力ピンのストレス量 S_{in} 及び出力ピンのストレス量 S_{out} を、次の式1

【0013】

【数9】

$$S = \alpha \left(\frac{C}{W} \right)^{\beta} \quad \cdots \text{式1}$$

により求めてメモリに記憶する段階と、ピンの物理構造に依存する定数を γ 、LSIの保証期間を τ [hour]、プロセスに依存する定数を ε_1 、 ε_2 、及び κ 、ピンの動作周波数を f_{in} [Hz]、絶対温度を T [K]として、入力ピンの遅延劣化量 δ_{in} [%] 及び出力ピンの遅延劣化量 δ_{out} [%] を、次の式2

【0014】

【数10】

$$\delta = \gamma \times \left(\frac{\tau \times S \times f}{\varepsilon_1 \times e^{\kappa \times T}} \right)^{\frac{1}{\varepsilon_2}} \quad \cdots \text{式2}$$

により求めてメモリに記憶する段階と、ホットキャリア効果に起因する経年変化を考慮しない遅延計算方法により求めたピン間遅延値及び配線遅延値を T_{iopath_fresh} [ps]、 $T_{connect_fresh}$ [ps]、入力ピンから出力ピンまでの全遅延のうち入力段及び出力段が占める割合を λ_{in} 及び λ_{out} として、前記ピン間遅延値 T_{iopath_aged} 及び配線遅延値 $T_{connect_aged}$ を、次の式3

【0015】

【数11】

$$T_{iopath_aged} = T_{iopath_fresh} \times \{1 + (\lambda_{in} \times \delta_{in} + \lambda_{out} \times \delta_{out})\} \quad \cdots \text{式3}$$

及び次の式4

【0016】

【数12】

$$T_{connect_aged} = T_{connect_fresh} \times \{1 + (\lambda_{out} \times \delta_{out})\} \quad \cdots \text{式4}$$

により求める段階とを含むことを特徴とする遅延計算方法が得られる。

【0017】

また、本発明によれば、ホットキャリア効果に起因する経年変化を考慮して、複数の論理ブロックにより構成される論理レベル回路の遅延値を計算する遅延計算方法において、上述の論理ブロックの遅延計算方法により論理レベル回路を構成する全ての論理ブロックの遅延値を計算する段階と、全ての論理ブロックの遅延値から論理レベル回路の遅延値を求める段階とを含むことを特徴とする遅延計算方法が得られる。

【0018】

また、本発明によれば、論理レベル回路を構成する論理ブロック毎に求められる特性値である論理ブロック特性値を基に、前記論理レベル回路全体の特性値である論理レベル回路特性値を計算する特性値計算プログラムを記録したコンピュータ読み取り可能な記録媒体において、論理ブロックを構成する一部のトランジスタについての特性値を論理ブロック特性値とみなす論理ブロック特性値計算処理と、論理ブロック特性値から論理レベル回路特性値を計算する処理とをコンピュータに実行させることを特徴とする特性値計算プログラムを記録した記録媒体が得られる。

【0019】

また、本発明によれば、上述の特性値計算プログラムを記録した記録媒体において、論理ブロック特性値計算処理は、該論理ブロックの入力及び出力ピンに繋がったトランジスタについての特性値を論理ブロック特性値とみなすことを特徴とする特性値計算プログラムを記録した記録媒体が得られる。

【0020】

また、本発明によれば、入力ピン及び出力ピンを備える論理ブロックの入出力ピン間の遅延値であるピン間遅延値と、当該論理ブロックの出力ピンに接続された当該他の論理ブロックまでの遅延値である配線遅延値を、ホットキャリア効果に起因する経年変化を考慮して計算する遅延計算プログラムを記録したコンピュータ読み取り可能な記録媒体において、ホットキャリア効果に起因する経年変化を考慮しないでピン間遅延値及び配線遅延値を計算する第1の遅延値計算処理と

、入力ピン及び出力ピンに接続されたトランジスタの遅延劣化量を計算する遅延劣化量計算処理と、第1の遅延値計算処理で計算されたピン間遅延値及び配線遅延値を、遅延劣化量計算段階で計算された遅延劣化量で修正する第2の遅延値計算処理とをコンピュータに実行させることを特徴とする特性値計算プログラムを記録した記録媒体が得られる。

【0021】

また、本発明によれば、ホットキャリア効果に起因する経年変化を考慮して、入力ピン及び出力ピンを備える論理ブロックの入出力ピン間の遅延値であるピン間遅延値 $T_{\text{iopath_aged}}$ と、当該論理ブロックの出力ピンに接続された当該他の論理ブロックまでの遅延値である配線遅延値 $T_{\text{connect_aged}}$ を計算する遅延計算プログラムを記録したコンピュータ読み取り可能な記録媒体において、ピンに繋がれたトランジスタの負荷容量を C [pF]、ピンの入力波形なまりに依存する定数を α 、 β 、ピンに繋がれたトランジスタのチャネル幅を W [μm] として、入力ピンのストレス量 S_{in} 及び出力ピンのストレス量 S_{out} を、次の式1

【0022】

【数13】

$$S = \alpha \left(\frac{C}{W} \right)^{\beta} \quad \dots \text{式1}$$

により求める処理と、ピンの物理構造に依存する定数を γ 、LSIの保証期間を τ [hour]、プロセスに依存する定数を ε_1 、 ε_2 、及び κ 、ピンの動作周波数を f_{in} [Hz]、絶対温度を T [K] として、入力ピンの遅延劣化量 δ_{in} [%] 及び出力ピンの遅延劣化量 δ_{out} [%] を、次の式2

【0023】

【数14】

$$\delta = \gamma \times \left(\frac{\tau \times S \times f}{\varepsilon_1 \times e^{\kappa \times T}} \right)^{\frac{1}{\varepsilon_2}} \quad \dots \text{式2}$$

により求める処理と、ホットキャリア効果に起因する経年変化を考慮しない遅延計算方法により求めたピン間遅延値及び配線遅延値を $T_{iopath_fresh}[ps]$ 、 $T_{connect_fresh}[ps]$ 、入力ピンから出力ピンまでの全遅延のうち入力段及び出力段が占める割合を λ_{in} 及び λ_{out} として、前記ピン間遅延値 T_{iopath_aged} 及び配線遅延値 $T_{connect_aged}$ を、次の式 3

【0024】

【数 15】

$$T_{iopath_aged} = T_{iopath_fresh} \times \{1 + (\lambda_{in} \times \delta_{in} + \lambda_{out} \times \delta_{out})\} \cdots \text{式 3}$$

及び次の式 4

【0025】

【数 16】

$$T_{connect_aged} = T_{connect_fresh} \times \{1 + (\lambda_{out} \times \delta_{out})\} \cdots \text{式 4}$$

により求める処理とをコンピュータに実行させることを特徴とする特性値計算プログラムを記録した記録媒体が得られる。

【0026】

また、本発明によれば、ホットキャリア効果に起因する経年変化を考慮して、複数の論理ブロックにより構成される論理レベル回路の遅延値を計算する遅延値計算プログラムを記録したコンピュータ読み取り可能な記録媒体において、上述の遅延値計算プログラムにより、論理レベル回路を構成する全ての論理ブロックの遅延値を計算する処理と、全ての論理ブロックの遅延値から論理レベル回路の遅延値を求める処理とをコンピュータに実行させることを特徴とする特性値計算プログラムを記録した記録媒体が得られる。

【0027】

【発明の実施の形態】

(1) 第 1 の実施の形態

本発明の第1の実施の形態である論理ブロック100の遅延計算方法について、図1を参照して説明する。図1は、論理ブロック100の内部の回路とその周辺情報並びにピン間遅延値101及び配線遅延値102の関係を示している。

【0028】

ホットエレクトロン効果によってNチャネル（以下Nchと記す）トランジスタが劣化を受ける。Nchトランジスタは論理ブロック中の多くの個所に使用されるが、論理ブロック内部の？で示した部分に使用される場合は、トランジスタ間の距離が短いため波形なまりや負荷容量が小さい状態で使用される。逆に、入力ピンと出力ピンに直接繋がるNchトランジスタTr111とTr121（図中太線で示す）は、論理回路の配置配線設計の結果として大きな波形なまりや負荷容量に晒される可能性が高い。従って、NchトランジスタTr111とTr121だけを対象に、ホットエレクトロン効果の影響を計算する方法が効率的である。

【0029】

論理レベル回路における最小単位は論理ブロックであるため、計算に必要な内部のトランジスタなどの情報は、論理ブロック単位の素子情報として独立して有する必要がある。従って、ブロック内部の回路に起因するような負荷容量112や波形なまり114の情報、Nchトランジスタのサイズの情報や遅延劣化量計算のための係数などを、入出力ピンの素子情報として格納する。これらの値と、論理レベル回路の計算で得られる、周波数113及び123、波形なまり114及び124から、入力ピン側のTr111と出力ピン側のTr121の遅延劣化量を計算することができる。

【0030】

入力ピンの遅延劣化量 δ_{in} （％）は、次の式5により求める。

【0031】

【数17】

$$\delta_{in} = \gamma_{in} \times \left(\frac{\tau_{ac} \times S_{in} \times f_{in}}{\varepsilon_1 \times e^{\kappa \times T}} \right)^{\frac{1}{\varepsilon_2}} \quad \dots \text{式5}$$

ここで、 γ_{in} は入力ピンの物理構造に依存する定数、 τ_{ac} はLSIの保証期間（hour）、 S_{in} は入力ピンのストレス量、 f_{in} は入力ピンの周波数（Hz）、 ε_1 、 ε_2 、及び κ はプロセスに依存する定数、 T は絶対温度（K）を表す。上記の S_{in} は次の式6により求める。

【0032】

【数18】

$$S_{in} = \alpha \left(\frac{C_{in}}{W_{in}} \right)^{\beta} \quad \dots \text{式6}$$

ここで、 C_{in} は入力ピンのトランジスタの負荷容量（pF）、 α 、 β は入力ピンの入力波形なまりに依存する定数、 W_{in} は入力ピンのNchトランジスタのW値（ μm ）を表す。

【0033】

出力ピンの遅延劣化量 δ_{out} （%）は、次の式7により求める。

【0034】

【数19】

$$\delta_{out} = \gamma_{out} \times \left(\frac{\tau_{ac} \times S_{out} \times f_{out}}{\varepsilon_1 \times e^{\kappa \times T}} \right)^{\frac{1}{\varepsilon_2}} \quad \dots \text{式7}$$

ここで、 γ_{out} は出力ピンの物理構造に依存する定数、 S_{out} は出力ピンのストレス量、 f_{out} は出力ピンの周波数（Hz）である。上記の S_{out} は次の式8により求める。

【0035】

【数20】

$$S_{out} = \alpha \left(\frac{C_{out}}{W_{out}} \right)^{\beta} \cdots \text{式8}$$

ここで、 C_{out} は出力ピンのトランジスタの負荷容量（pF）、 α 、 β は出力ピンの入力波形なまりに依存する定数、 W_{out} は出力ピンのNchトランジスタのW値（ μm ）である。

【0036】

ホットエレクトロン効果による遅延劣化量を、ピン間遅延値および配線遅延値に反映させる場合、入力ピン側の T_{r1} の遅延劣化量はピン間遅延値に、出力ピン側の T_{r2} の遅延劣化量はピン間遅延値と配線遅延値の双方に影響を与える。従って、これら各々を係数を伴う式で演算することにより、ホットエレクトロン効果を考慮した遅延計算を実現することができる。遅延劣化量を考慮したピン間遅延値 T_{iopath_aged} （ps）、遅延劣化量を考慮した配線遅延値 $T_{connect_aged}$ （ps）は、次の式3及び式4により求める。

【0037】

【数21】

$$T_{iopath_aged} = T_{iopath_fresh} \times \{1 + (\lambda_{in} \times \delta_{in} + \lambda_{out} \times \delta_{out})\} \cdots \text{式3}$$

【0038】

【数22】

$$T_{connect_aged} = T_{connect_fresh} \times \{1 + (\lambda_{out} \times \delta_{out})\} \cdots \text{式4}$$

ここで λ_{in} 及び λ_{out} は入力ピンから出力ピンまでの全遅延のうちそれぞれ入力段及び出力段が占める割合を示す。

【0039】

(2) 第2の実施の形態

本発明の第2の実施の形態である遅延計算方法200について図2を参照して説明する。遅延計算方法200は、論理ブロックにより構成される論理レベル回路の遅延計算方法である。

【0040】

論理レベル回路を構成する論理ブロックのひとつに着目し、ブロック外部の素子に関する情報である入力ピン情報202と、経過年数情報203と、ブロック内部の素子に関する情報である入力ピン素子情報204を基に、その論理ブロックの入力ピンに接続されたNchトランジスタで生じる遅延劣化量を計算する遅延劣化量計算205を行う。ここで入力ピン情報202は論理レベル回路の計算で得られる回路情報201のうち入力ピンに関する情報である。また、入力ピン素子情報204は論理ブロック内部に関する情報である。

【0041】

同様に、経過年数情報203と、ブロック外部の素子に関する情報である出力ピン情報206と、ブロック内部の素子に関する情報である出力ピン素子情報207を基に、その論理ブロックの出力ピンに接続されたNchトランジスタで生じる遅延劣化量を計算する遅延劣化量計算208を行う。ここで出力ピン情報206は論理レベル回路の計算で得られる回路情報201のうち出力ピンに関する情報である。また、出力ピン素子情報207は論理ブロック内部に関する情報である。

【0042】

遅延劣化量計算205及び208の結果を基に、ピン間遅延計算209を実行する。また、遅延劣化量計算208の結果を基に、配線遅延計算210を実行して遅延計算結果211を得る。

【0043】

(3) 第3の実施の形態

本発明の第3の実施の形態である遅延計算方法300について図3を参照して説明する。図3は、ホットエレクトロン効果による遅延値の経年変化を考慮した

、論理レベル回路の遅延計算方法を説明する図である。

【0044】

最初に、論理レベル回路301に関する情報から、遅延計算302と動作周波数計算303を行う。

【0045】

遅延計算302は、ホットエレクトロン効果を考慮しない旧来からの遅延計算手法であり、論理レベル回路中の各論理ブロックについて、入力ピンの波形なまり、出力ピンの負荷容量、ピン間遅延値、配線遅延値を計算する。一方、動作周波数計算303は、確率伝播手法による周波数計算手法であり、論理レベル回路中の各論理ブロックについて、各ピンの動作周波数を計算する。

【0046】

遅延計算302及び動作周波数計算303の計算結果は、言い換えると、入力ピン情報302、出力ピン情報305、及びピン間・配線遅延値306となる。

【0047】

ここで、入力ピン情報302は入力ピンの波形なまりと動作周波数である。出力ピン情報305は出力ピンの負荷容量と動作周波数である。また、ピン間・配線遅延値306はピン間遅延値及び配線遅延値である。

【0048】

これらのうちの入力ピン情報304及び出力ピン情報305に加え、入力ピン素子情報307及び出力ピン素子情報308を用いて、遅延劣化量計算309及び310を行う。

【0049】

入力ピン素子情報307は論理ブロック内部に関する情報であり、ここでは、入力ピンに接続されたNchトランジスタのチャネルの幅を表すW値等のように、式5及び6に用いる諸係数等を表す。同様に、出力ピン素子情報308は式7及び8に用いる諸係数等を表す。

【0050】

遅延劣化計算309及び310は入出力の各ピンについて、入力波形なまり、出力負荷容量、動作周波数、Nchトランジスタサイズから、遅延劣化量の計算

式を用いて遅延劣化量を計算する。

【0051】

入力ピンの遅延劣化量計算309は、遅延計算302で得られた入力ピンの波形なまりと、動作周波数計算303で得られた動作周波数と、入力ピン素子情報307から得られた入力ピンのNchトランジスタサイズおよび係数を用いて、入力ピンの遅延劣化量を計算する（式5及び6）。

【0052】

出力ピンの遅延劣化量計算310は、遅延計算302で得られた出力ピンの負荷容量と、動作周波数計算303で得られた動作周波数と、出力ピン素子情報308から得られた出力ピンのNchトランジスタサイズおよび係数を用いて、出力ピンの遅延劣化量を計算する（式7及び8）。

【0053】

遅延劣化量計算309及び310の後で、入出力ピンの遅延劣化量からピン間遅延値変化量311を求め、出力ピンの遅延劣化量から配線遅延値変化量312を求める。

【0054】

遅延値修正313は、遅延計算302で得られたピン間・配線遅延値306を、ピン間遅延値変化量311及び配線遅延値変化量312で修正し（数3及び4）、最終的に遅延計算結果314を得る。

【0055】

（4）数式の導出過程等

以上の説明で用いた式1～4の導出過程等を説明する。尚、式5及び7は式2から、式6及び8は式1からそれぞれ直接に求められるので、ここでの説明は省略する。

【0056】

（A）式2の導出過程

MOSトランジスタのホットキャリアによる劣化は、DCストレス時間 t_{dc} に関して指数関数的に進行する。劣化度をDとすると、Dは次の式9で表される。

【0057】

【数 2 3】

$$D = (A \times t_{dc})^n \quad \cdots \text{式 9}$$

ここで、 n 及び A はプロセス及びバイアスで決まる値である。

【0058】

また、劣化度 D はドレイン電流 I_{ds} や相互コンダクタンス g_m を用いて次の式 10 及び 11 で表される。

【0059】

【数 2 4】

$$D = \frac{I_{ds} - I_{ds0}}{I_{ds0}} = \Delta I_{ds} \quad \cdots \text{式 10}$$

$$= \frac{g_m - g_{m0}}{g_{m0}} = \Delta g_m \quad \cdots \text{式 11}$$

更に、劣化度 D は基板電流 I_{sub} を用いて次の式 12 で表される。

【0060】

【数 2 5】

$$D = \left\{ \frac{I_{ds}}{B \times W} \times \left(\frac{I_{sub}}{I_{ds}} \right)^m \times t_{dc} \right\}^n \quad \cdots \text{式 12}$$

ここで、 W はトランジスタの幅、 B 及び m はプロセス及びバイアスで決まる値である。尚、式 12 は C. Hu 等が提案した式である (C. Hu 等 IEEE Transactions on Electron Devices Vol. ED-32, No. 2, pp375, 1985)。

【0061】

このとき、次の式 13

【0062】

【数 2 6】

$$age = \frac{I_{ds}}{B \times W} \left(\frac{I_{sub}}{I_{ds}} \right)^m \times t \quad \cdots \text{式13}$$

を定義すると、DCバイアスストレス下では、次の式14

【0063】

【数27】

$$ageDC(t_{dc}) = \frac{I_{ds}}{B \times W} \left(\frac{I_{sub}}{I_{ds}} \right)^m \times t_{dc} \quad \cdots \text{式14}$$

ACバイアスストレス下では、次の式15

【0064】

【数28】

$$ageAC(t_{ac}) = \int_0^{t_{ac}} \frac{I_{ds}}{B \times W} \times \left(\frac{I_{sub}}{I_{ds}} \right)^m dt \quad \cdots \text{式15}$$

と表される。更に、ACバイアスが周期Tの繰り返し波形のとき、式15は次の式16

【0065】

【数29】

$$ageAC(t_{ac}) = \frac{t_{ac}}{T} \int_0^T \frac{I_{ds}}{B \times W} \left(\frac{I_{sub}}{I_{ds}} \right)^m dt \quad \cdots \text{式16}$$

と変形できる。

【0066】

DCストレスとACストレスが等しくなる条件より、次の式17が成り立つ。

【0067】

【数30】

$$ageDC(t_{dc}) = ageAC(t_{ac}) \quad \cdots \text{式17}$$

式17に式14及び式16を代入して整理すると、次の式18及び式19が得られる。

【0068】

【数31】

$$R = \frac{t_{dc}}{t_{ac}} = \frac{\frac{1}{T} \int_0^T \frac{I_{ds}}{B \times W} \left(\frac{I_{sub}}{I_{ds}} \right)^m dt}{\left| \frac{I_{ds}}{B \times W} \left(\frac{I_{sub}}{I_{ds}} \right)^m \right|_{dc}} \quad \cdots \text{式18}$$

$$= S \times f \quad \cdots \text{式19}$$

但し、 $f = 1/T$ である。

【0069】

インバータのように、入力信号の電位が $0 \rightarrow V_{DD}$ 又は $V_{DD} \rightarrow 0$ に変化し、それに伴い出力信号が $V_{DD} \rightarrow 0$ 又は $0 \rightarrow V_{DD}$ に変化する回路を考えると、次の式20のようになる。

【0070】

【数32】

$$\begin{aligned} ageAC(t) > 0 &: 0 < \text{入力} < V_{DD}, 0 < \text{出力} < V_{DD} \\ &\sim 0 &: \text{入力} = 0 \text{ 又は } V_{DD}, \text{出力} = 0 \text{ 又は } V_{DD} \end{aligned} \quad \cdots \text{式20}$$

即ち、入出力信号が遷移中のみストレスが加わり、入出力が 0 又は V_{DD} の時のス

トレスは無視できる。よって、式19のSは入出力が $0 - V_{DD}$ 間でフル振動する範囲では、周波数に依存しない。

【0071】

図4のようなインバータにおいて入力 $L \rightarrow H$ と変化したときの伝搬遅延 t_{pd} を考える。この時の t_{pd} は主にNchトランジスタの電流駆動能力で決定し、次の式21で簡単に表すことができる。ここで、 a は定数、 C は出力負荷容量を表す。

【0072】

【数33】

$$t_{pd} = a \times \frac{C}{K_n} \quad \cdots \text{式21}$$

ここで移動度を μ_n 、ゲート酸化膜容量を C_{ox} 、ゲート幅を W 、ゲート長を L とすると、 K_n は次の式22で表される。

【0073】

【数34】

$$K_n = \mu_n \times C_{ox} \times \frac{W}{L} \quad \cdots \text{式22}$$

ホットキャリア劣化により、Nchトランジスタの K_n が ΔK_n だけ減少した時、 t_{pd} が δ だけ増加したとすると、次の式23が成り立つ。

【0074】

【数35】

$$\begin{aligned} \delta &= a \times \frac{C}{K_n} \times \Delta K_n \quad \cdots \text{式23} \\ &\propto \Delta K_n \end{aligned}$$

式9より、 ΔK_n は次の式24で表される。

【0075】

【数36】

$$\Delta K_n = (A \times t_{dc})^n \quad \cdots \text{式24}$$

式23より、 $\delta = \gamma \Delta K_n$ とすると次の式25となる。

【0076】

【数37】

$$\frac{1}{\gamma} \times \delta = (A \times t_{dc})^n \quad \cdots \text{式25}$$

式19及び25から、次の式26が得られる。

【0077】

【数38】

$$\delta = \gamma \times (A \times S \times f \times t_{ac})^n \quad \cdots \text{式26}$$

Aは温度に依存するパラメータであり、実測データから例えば次の式27のように表すことができる。

【0078】

【数39】

$$A \propto e^{-K \times T} \quad \cdots \text{式27}$$

ここで、A、 t_{ac} 、nを次の式28のように置く。

【0079】

【数40】

$$\left\{ \begin{array}{l} A = \frac{1}{\varepsilon_1 \times e^{(\kappa \times T)}} \\ t_{ac} = \tau \\ n = \frac{1}{\varepsilon_2} \end{array} \right. \quad \cdots \text{式28}$$

すると、式2を得ることができる。

【0080】

【数41】

$$\delta = \gamma \times \left(\frac{\tau \times S \times f}{\varepsilon_1 \times e^{\kappa \times T}} \right)^{\frac{1}{\varepsilon_2}} \quad \cdots \text{式2}$$

(B) 式1の導出過程

ストレスSは負荷容量CとトランジスタのW (Nch及びPchトランジスタのいずれか一方又は両方) の比C/Wと、ピンの入力信号の立ち上がり及び立ち下がり時間 T_r 及び T_f とに依存し、次の式29で表される。

【0081】

【数42】

$$S = F(C/W, T_r, T_f) \quad \cdots \text{式29}$$

Sは例えばある回路でC/W、 T_r 、 T_f を変えてSPICE等の回路シミュレータ等により次の式30を計算することにより得られる。

【0082】

【数43】

$$S = \frac{\int_0^T \frac{I_{ds}}{B \times W_n} \times \left(\frac{I_{sub}}{I_{ds}} \right)^m dt}{\left| \frac{I_{ds}}{B \times W} \times \left(\frac{I_{sub}}{I_{ds}} \right)^m \right|_{dc}} \quad \dots \text{式30}$$

式30で得られたSをC/Wの関数で近似すると例えば式1となる。

【0083】

【数44】

$$S = \alpha \left(\frac{C}{W} \right)^\beta \quad \dots \text{式1}$$

但し、 α 、 β は回路構成と T_r 、 T_f に依存する定数である。

【0084】

(C) 式3及び4について

図5のように遅延値が等しいインバータ3段で構成される論理ブロックにおいて、入力がL→Hの時の λ は次の式31で表される。

【0085】

【数45】

$$\begin{cases} \lambda_{in} = \frac{1}{3} \\ \lambda_{out} = \frac{1}{3} \end{cases} \quad \dots \text{式31}$$

入力がH→Lの時の λ は次の式32で表される。

【0086】

【数46】

$$\begin{cases} \lambda_{in} = 0 \\ \lambda_{out} = 0 \end{cases} \dots \text{式32}$$

図5と同様に、遅延値が等しいインバータ4段において、入力がL→Hの時の λ は式33で表される。

【0087】

【数47】

$$\begin{cases} \lambda_{in} = \frac{1}{4} \\ \lambda_{out} = 0 \end{cases} \dots \text{式33}$$

入力がH→Lの時の λ は次の式34で表される。

【0088】

【数48】

$$\begin{cases} \lambda_{in} = 0 \\ \lambda_{out} = \frac{1}{4} \end{cases} \dots \text{式34}$$

以上、本発明を実施の形態に基づいて説明したが、本発明はこれに限定されるものではなく、当業者の通常の知識の範囲内でその変更や改良が可能であることは勿論である。

【0089】

【発明の効果】

論理回路におけるホットエレクトロン効果による遅延値の経年変化量は、入力波形なまりが大きいトランジスタおよび出力負荷容量が大きいトランジスタで顕著となる。

【0090】

論理ブロック内の論理回路はあらかじめLSI上で小さな面積上に配置配線されるため、ブロック内部では入力波形なまりや出力負荷容量が大きくなる。

これに対して論理ブロックの入出力ピンと繋がるトランジスタの場合、他のブロックとの距離や配線の長さは配置配線ツールによって決定されるため、入力ピンについては入力波形なまりが、出力ピンについては出力負荷容量が大きくなる傾向にある。

【0091】

従って、論理回路におけるホットエレクトロン効果による遅延値の経年変化量は、本発明の遅延計算のように、その論理ブロックの入出力ピンに着目することで、十分な精度の計算が可能となる。

【0092】

即ち、本発明によれば、ホットエレクトロン効果による遅延値の経年変化を考慮した遅延計算を実行する際に、入力ピンと出力ピンの遅延値の経年変化量を用いて、パス遅延計算およびネット遅延計算を行うことにより、高精度でありながら計算量を少なく抑えた遅延計算を行うことができる。このようにして計算されたパス遅延値およびネット遅延値は、回路シミュレータや静的タイミング解析に直接利用できる。

【図面の簡単な説明】

【図1】

論理ブロック内部の回路とその周辺情報並びにピン間遅延値及び配線遅延値の関係を示す図である。

【図2】

論理ブロックにより構成される論理レベル回路の遅延計算方法である遅延計算方法200を説明する図である。

【図3】

ホットエレクトロン効果による遅延値の経年変化を考慮した、論理レベル回路の遅延計算方法を説明する図である。

【図4】

インバータの入力がLからHに変化したときの伝搬速度 t_{pd} を説明する図である。

【図5】

インバータ 3 段で構成される論理ブロックの遅延値を説明する図である。

【図 6】

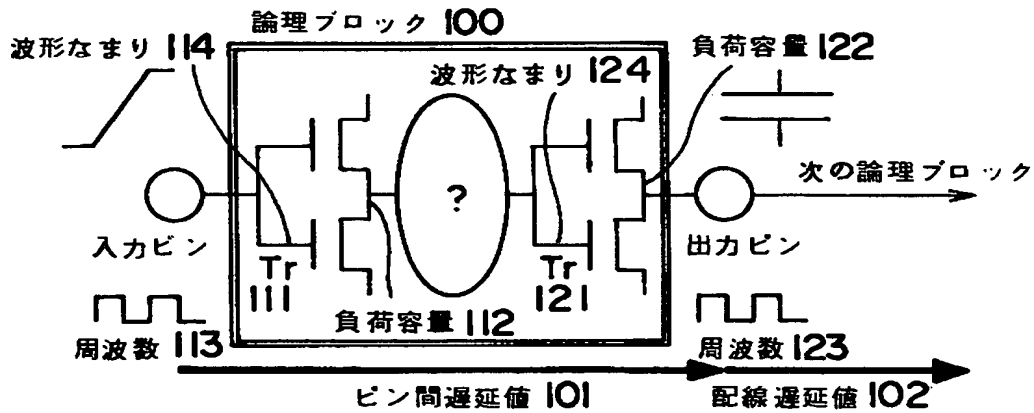
遅延劣化量を考慮した従来の遅延計算方法 600 を説明する図である。

【符号の説明】

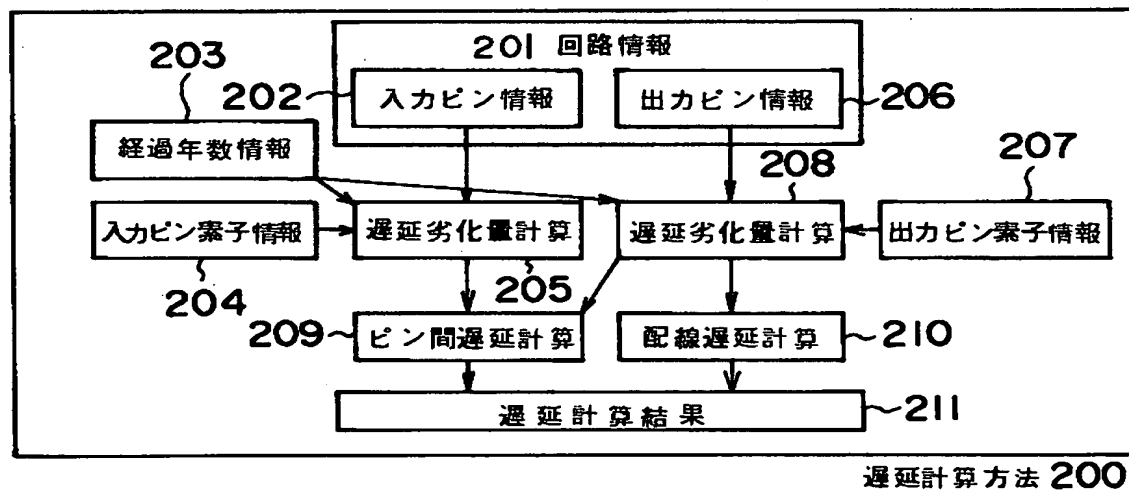
- 100 論理ブロック
- 101 ピン間遅延値
- 102 配線遅延値
- 111、121 Nch トランジスタ
- 112、122 負荷容量
- 113、123 周波数
- 114、124 波形なまり
- 200、300、600 遅延計算方法
- 201、601 回路情報
- 202、304、602 入力ピン情報
- 203、603 経過年数情報
- 204、307、604 入力ピン素子情報
- 205、208、309、310、605 遅延劣化量計算
- 206、305 出力ピン情報
- 207、308 出力ピン素子情報
- 209 ピン間遅延計算
- 210、606 配線遅延計算
- 211、314、607 遅延計算結果
- 301 論理レベル回路
- 302 遅延計算
- 303 動作周波数計算
- 306 ピン間・配線遅延値
- 311 ピン間遅延値変化量
- 312 配線遅延値変化量
- 313 遅延値修正

【書類名】 図面

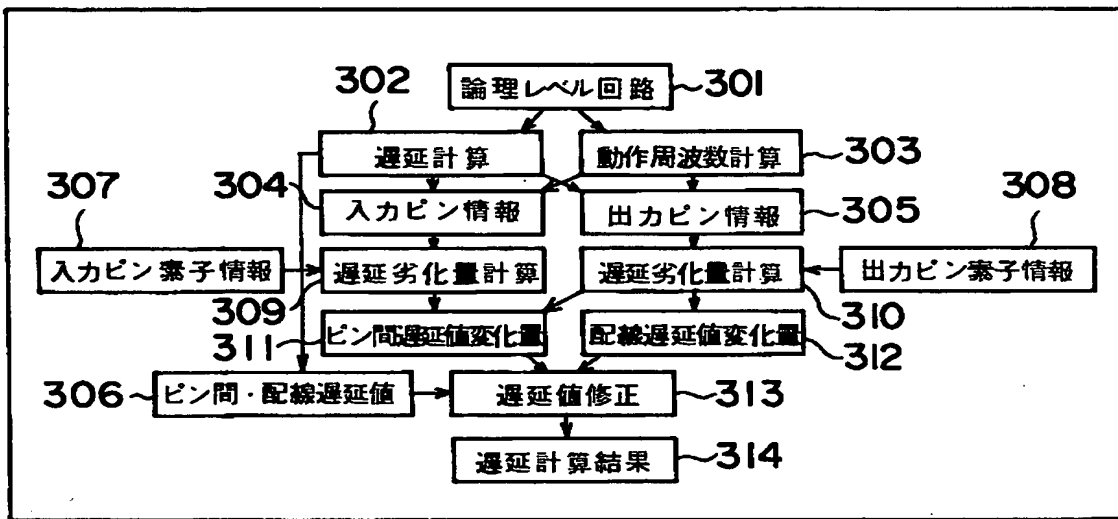
【図 1】



【図 2】

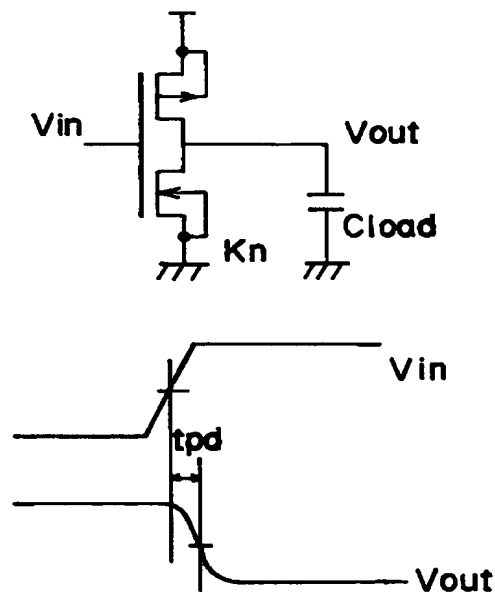


【図 3】

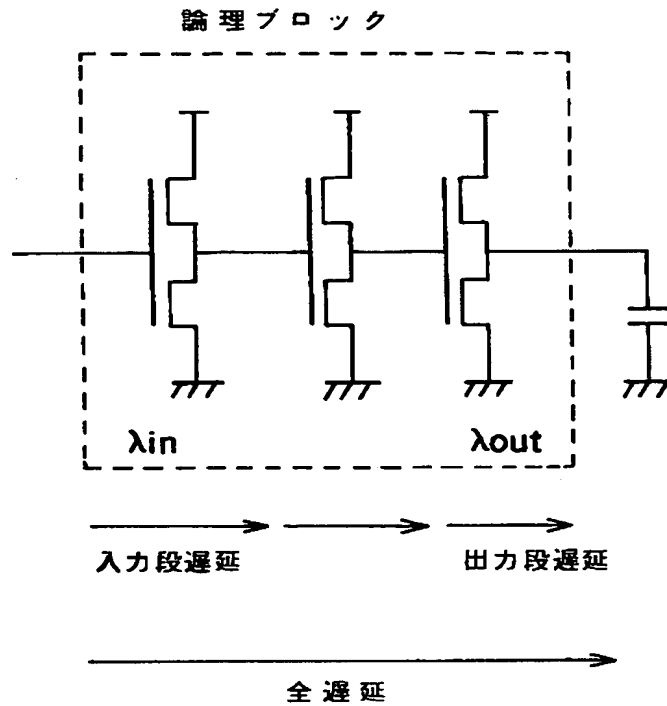


遅延計算方法 300

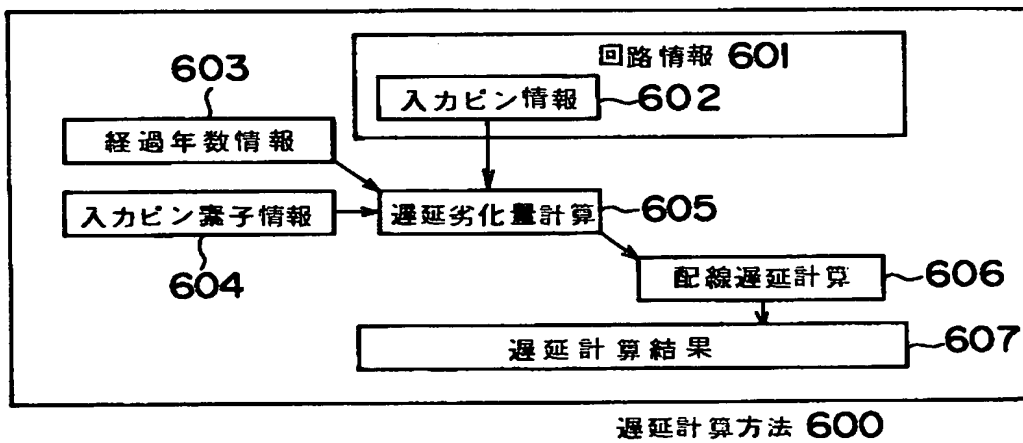
【図 4】



【図 5】



【図 6】



【書類名】 要約書

【要約】

【課題】 ホットエレクトロン効果による遅延値の経年変化を考慮した遅延計算において、少ない計算量で高い精度の遅延計算を行うことができる遅延計算方法及び遅延計算プログラムを記録した記録媒体を提供すること。

【解決手段】 ホットキャリア効果に起因する経年変化を考慮してピン間遅延値及び配線遅延値を計算する遅延計算方法において、ホットキャリア効果に起因する経年変化を考慮しないでピン間遅延値及び配線遅延値を計算する第1の遅延値計算段階と、入力ピン及び出力ピンに接続されたトランジスタの遅延劣化量を計算する遅延劣化量計算段階と、第1の遅延値計算段階で計算されたピン間遅延値及び配線遅延値を、遅延劣化量計算段階で計算された遅延劣化量で修正する第2の遅延値計算段階とを含むことを特徴とする遅延計算方法を提供する。

【選択図】 図1

【書類名】 職権訂正データ
 【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】

【識別番号】 000004237
 【住所又は居所】 東京都港区芝五丁目7番1号
 【氏名又は名称】 日本電気株式会社

【代理人】 申請人

【識別番号】 100071272
 【住所又は居所】 東京都港区西新橋1-4-10 第3森ビル 後藤
 池田特許事務所
 【氏名又は名称】 後藤 洋介

【選任した代理人】

【識別番号】 100077838
 【住所又は居所】 東京都港区西新橋1-4-10 第3森ビル 後藤
 池田特許事務所
 【氏名又は名称】 池田 憲保

【選任した代理人】

【識別番号】 100058413
 【住所又は居所】 東京都港区西新橋1-4-10 第三森ビル 後藤
 池田特許事務所
 【氏名又は名称】 芦田 坦

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日 1990年 8月29日
[変更理由] 新規登録
住 所 東京都港区芝五丁目7番1号
氏 名 日本電気株式会社